

ATPG ツールを用いた組込み自己テストのための 評価支援システムの構築

山口 賢一・岩田 大志*

A BIST Evaluation System using Automatic Test Pattern Generator

Ken'ichi Yamaguchi, Hiroshi Iwata

LSI の信頼性を低コストで実現する方法として、組込み自己テストがある。組込み自己テストの実現方法として、ランダムパターン発生装置を利用する方法がある。この方法では、LSI 自体の面積増加を抑制しながら信頼性の尺度で故障検出率の向上を実現することができる。

しかしながら、組込み自己テストに特化した評価ツールは少なく、CAD ベンダーから供給されている自動テストパターン発生器の機能を利用して評価せざるを得ない。本稿では、この問題点を解決するために東京大学大規模集積システム設計センターを通じ、シノプシス社から供給されているテストパターン生成ツール TetraMAX の機能を利用し、レジスタ転送レベルにおける組込み自己テスト法の評価を行うシステムの構築について述べる。

1. はじめに

大規模、高集積化した VLSI の信頼性の確保を行うテストを安価に実現する方法として組込み自己テスト (BIST) がある。各回路に対して BIST を行う際の評価項目に故障検出率 (FC) とテスト実行時間 (TAT) がある。FC と TAT の算出は故障シミュレーションを行うことにより、計算機上で BIST の評価が可能である。しかし、市販のテストツール (TetraMax) では FC の算出は可能だが、ランダムパターンの生成や TAT の算出といった機能が無い。そこで本稿では BIST の評価を行う際に必要となる、FC、TAT の算出を可能とする BIST 評価支援ツールを提供する。

2. レジスタ転送レベルにおけるテスト容易化設計評価

LSI のテスト方式はパターンの印加方法により、外部テスト方式と BIST 方式の 2 つに区分することができる。外部テスト方式では、テストパターンの生成から評価に至るまで市販のテストツールで行うことができる。

一方、BIST によるテストは、回路内部に組込まれたランダムパターン発生装置と応答解析器を利用して回路

内に存在する故障の検出を行う。設計段階で BIST の品質を評価するためにはテスト対象回路だけでなく、ランダムパターン発生装置と応答解析器についてもその動作をシミュレーションし評価しなければならない。また、筆者らが提案したスキャン動作を伴わない BIST 法 [1] については、市販のツールでは評価ができないため、自作プログラムにより評価を行う必要があったため、多くの労力と時間を費やしていた。

3. BIST 手法評価のための実験の流れ

BIST を評価する際の流れを図 1 に示す。まずテスト対象となる RTL 回路に対して論理合成を行い、ゲートレベルネットリストを出力する。BIST の評価項目としては、故障検出率 (FC)、テスト実行時間 (TAT) が挙げられる。Synopsys 社が提供する故障シミュレータである TetraMax を用いることで FC の算出は可能となるが、TAT の算出機能や、BIST で用いるランダムパターンの生成機能は搭載していない。そこで、本章では故障シミュレータに TetraMax を用い、BIST の評価を可能とするシステムの提案を行う。

BIST 手法の評価対象は、テスト対象となる RTL 回路に対して論理合成を行った、ゲートレベルネットリス

トである。BIST ではテストパターンとして線形フィードバックシフトレジスタ(LFSR) から出力されるランダムパターンをテストパターンとして用いる。そのため、適当な原始多項式と初期値(シード)を決め、適当な回数だけランダムパターンを発生させる。そして生成したテストパターンを用いて故障シミュレーションを行う。

この故障シミュレーションには TetraMax を用いる。また、TetraMax は入力したテストパターンに対する故障検出の可否のみを出力する。しかし、BIST では指定した FC を満足する最小のランダムパターン数(TAT)が重要な評価項目となる。つまり TAT を取得するには、発生させるランダムパターン数を適当に変更し、故障シミュレーションを繰り返す必要がある。また、TAT は特性多項式や初期値によっても変動があるため、適当な標本数で分散を調べる必要がある。

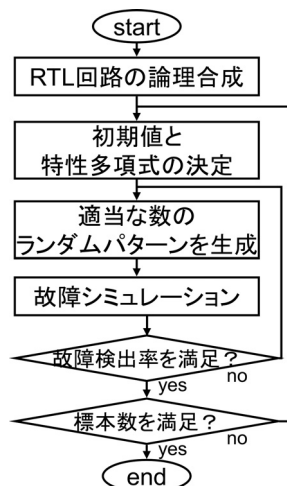


図1 BIST 評価の流れ

4. ランダムパターン発生シュミュレータ

ランダムパターン発生シュミュレータ(Random Pattern Generate Simulator, RPGS)は、パターン数、特性多項式、初期値を指定することでランダムパターンを TetraMax に入力可能な形で出力するツールである。RPGS は Java 言語を用いて製作した。機能は、基本機能であるランダムパターンの出力、およびクロックの付加、指定した値を出力可能なテストプラン付加、そしてリシード機能がある。

4.1 クロックの付加

順序回路要素の故障シミュレーションを行うためには、クロックが必要となる。クロックは、テストパター

ンをコピーし、クロック端子に入力する値を0/1 と切り替えることで実現する。ただし、TetraMax にクロックを入力する場合、クロックは4サイクル(0010)で1クロックを推奨している。そのため、クロックを付加しない場合に比べてクロックを付加した場合、4倍のテストパターン数となる。

4.2 テストプランの付加

文献[1]で評価されている SC 法や TCSC 法 およびセッ化手法[3]ではテスト経路を実現するためにテストプランを必要とする。テストプランはBIST コントローラを記述することで供給可能であるが、データバスの入出力インターフェースだけを考えると制御入力とは外部入力となる。そのため、RPGS がテストプランを出力することでBIST コントローラを記述せずにデータバスに対する DFT 手法の評価が可能となる。

提案手法ではテストプランとして多くのランダムパターンを必要とする。そのため、テストプラン用の LFSR を作成し、その LFSR からビットを切り出すことでテストプランにランダムパターンを供給する。この手法により、任意の端子に任意の値とランダムパターンを出力可能となる。ただし、Don't care はBIST コントローラを記述し、合成することでしか実現できない。

4.3 リシード機能

LFSR の各 FF に MUX を挿入することでリシード機能を実現することができる。この、リシード機能により all0 などの通常の LFSR が出力できないテストパターンや、連続した同一パターンの出力などを可能とする。RPGS ではリシード機能を n クロックから $n + m$ クロックまで、任意の値を出力可能である。

5. 提案する BIST 実験評価支援ツール

5.1 システムの概要

本稿で提案する BIST 実験評価支援ツールの概要を図2に示す。

まずゲートレベルネットリストから入出力インターフェースを抽出する。特性多項式の決定は原始多項式群からランダムに選択する。また、初期値は各ビットの値が全て“0”を除く $2^n - 1$ (n = 入力ビット数)を最大とする乱数を使用する¹。TAT の算出には二分探索を用いて最小のテストパターン数を得ることによって行う。初回に与えるテストパターン数は、予備実験により算出し

¹ LFSR 内のフリップフロップの各要素が全て0の場合、ランダムパターンを発生できなくなるため

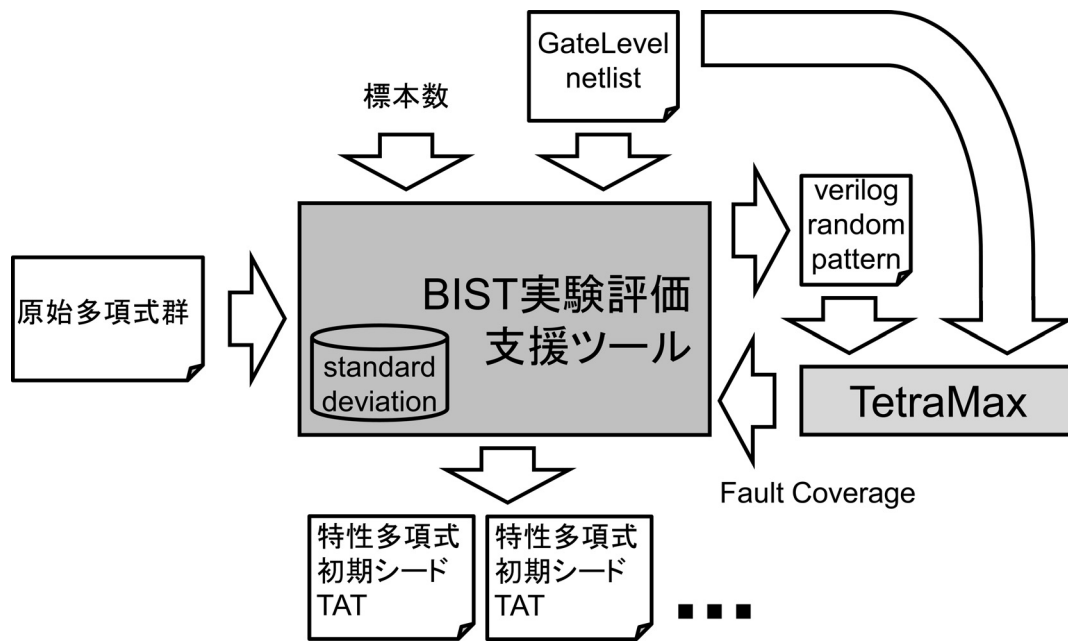


図2 提案した BIST 評価システムの概要図

た各モジュールの不偏分散を基に決定する。特性多項式と初期値から決定される TAT が標本平均 $\pm$ 不偏分散に存在しない場合は、標本平均 + 不偏分散（標本平均 - 不偏分散）から2倍（0.5 倍）していくことで二分探索範囲内に TAT が存在するよう探索を行う。探索終了後、特性多項式と初期値と TAT を保存し、特性多項式、初期値を変更して二分探索を再開する。これを標本数だけ繰り返した後、使用した初期値と特性多項式、および TAT を標本数だけ出力する。

5.2 モジュールアンダーテストへの対応

階層 BIST では、データパスの各モジュールに対してテストセッションを設け、そのセッションごとに異なる制御信号を必要とする。そのため、TetraMax に入力するテストパターンに対してもテストプランを付加する必要がある。本システムは、モジュールアンダーテストを行う場合、テストプランを付加したテストセッションごとに適切なテストパターンを出力し最小の TAT を算出する機能を持つ。

6. まとめ

BIST の評価を行うにあたり、既存のテストツールでは TAT の算出や統計の整理といった機能が不足していた。そのため、本稿では BIST 手法の評価を行うための実験ツールの提案を行い、実装、実験を行った。本稿で提案したツールを用いることで BIST 手法の評価を安易

に、かつ迅速に行うことが可能となる。作成したツールは、文献[8][9]の評価実験において実際に利用している。システムの利用によって実験に要する時間が大幅に削減し、DFT の評価に大きく寄与することができている。

謝 辞

本研究は東京大学大規模集積システム設計教育研究センター(VDEC)を通し、シノプシス株式会社の協力で行われました。VDEC のメーリングリストでお世話になった方々に感謝の意を示します。また、ツールを利用するにあたってご助言頂いた奈良先端科学技術大学院大学の藤原秀雄教授ならびに研究室の方々に感謝の意を表します。

参考文献

- [1] 山口賢一, 井上美智子, 藤原秀雄: “階層 BIST のためのテスト容易化設計に関する研究”, 電子情報通信学会論文誌 (DI), Vol.J86-D-I, No.7, pp.469-479, (2003).
- [2] S.Ohtake, T. Masuzawa and H. Fujiwara: “A non-scan approach to DFT for Controllers Achieving 100% Fault Efficiency”, JETTA, Vol.16, No.5, pp.553-566, (2000).
- [3] 岩田大志, 吉田宜司, 青山瑠美, 山口賢一: “モジュールセット化による高品質 BIST の実現”, 第11

- 回 IEICE 関西支部学生会研究発表講演会予稿, (2006).
- [4] H.P. Williams: “数理計画モデルの作成”, 産業図書, (1995).
- [5] M.Berkelaar: “lp_solve, version3.2”, Eindhoven University of Technology, The Netherlands, “ftp://ftp.ics.ele.tue.nl/pub/lp_solve”.
- [6] 吉田宜司, 岩田大志, 青山瑠美, 山口賢一: “回路構造を利用したテスト容易化設計支援システムの構築”, 11 回電子情報通信学会関西支部学生会研究発表会講演論文集 pp.13, (2006).
- [7] 佐藤康夫, 中尾教伸: “設計者に必要な BIST 技術の基礎知識”, Design Wave Magazine 3 月号 pp. 55-67, (2001).
- [8] 高田篤史, 山口賢一: Non-ScanBIST を実現する RTL コントローラの最適化法: 第5回情報科学技術フォーラム C-021, (2007).
- [9] 小副川絵美子, 山口賢一: “不要な制御信号を抑制する高品質 BIST による低消費電力化” 平成19年度電気関係学会関西支部連合大会, (2007).
- [10] 原田和幸, 山口賢一: “外部端子数抑制に着目した高品質 BIST の一般化” 平成19年度電気関係学会関西支部連合大会, (2007).