

多ビット回路に対する BIST の一構成法

山口 賢一 青山 瑠美

A Structure of BIST for Multiple Bit Width Circuit

Ken'ichi Yamaguchi, Rumi Aoyama

近年の半導体製造技術の進歩は、VLSIの故障の検出方法にも大きな進歩をもたらしている。筆者らはすでに、高品質なテストが可能であるクロック動作ごとのテスト (Test-Per-Clock Test) と、特別なテストを必要としない組み込み自己テスト (Built-in Self Test) の両方を実現する階層 BIST 法を提案し、ベンチマーク回路を用いた実験により、その有効性を確認している。階層 BIST とは、レジスタ転送レベル回路に対する BIST をレジスタ転送レベルとゲートレベルの2つの階層で行う BIST を総称する概念である。

しかしながら現状の階層 BIST 法では、信号線のビット幅が均一でないと適用できないという制約が存在し、実用化への大きな障害となっている。本稿では、この制約を緩和するための試案として、レジスタ転送レベルデータパスに対して新たな可検査性を定義し、一構成法を示すことで実用化に向けた足がかりとする。

1. まえがき

半導体製造技術の急速な進歩によって、VLSIの信頼性を保証するテスト技術が必要不可欠となっている。現在までに様々なテスト方式が提案されているが、現状では故障の有無で出力が異なるような入力系列 (テスト系列) を用いるテストが主流である。しかし、大規模な回路に対して実用的な計算時間ですべての故障に対するテスト系列を求めることはできない。さらに、大規模な回路のテスト系列長は非常に長く、それらを記憶するためには大きな記憶領域が必要になる。そのため、論理回路のテスト費用は増大する傾向にある。

この問題を解決する方法として、回路内部にテスト装置を組込む BIST 法[1-7]が提案されている。特に筆者らは、テストによる面積増加を抑え、高品質のテストを実現できる階層 BIST 法[7]を考案し、適用実験によってその有効性を確認している。しかし、既存の階層 BIST 法では、扱えるデータ信号線のビット幅がすべて均一でないといけない制約が存在する。本稿では制約を緩和し、複数のビット幅が混在する回路への BIST の適用方法の試案として、その一構成法を示し、今後更なる改善への指針を示すことにより、階層 BIST の実用化を目指す。

2. レジスタ転送レベルデータパス

一般に、レジスタ転送レベルはコントローラとデータパスとに分類できる。本稿では、図1に示すようなデータパス部を対象とする。

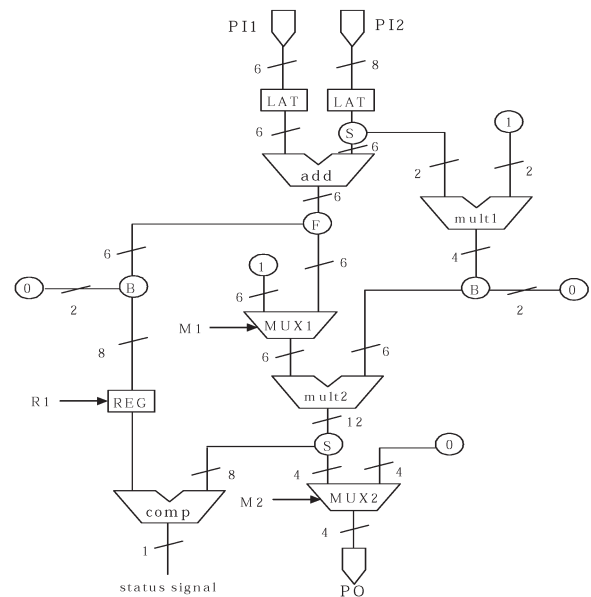


図1 レジスタ転送レベルデータパス

Fig. 1 Register Transfer Level Datapath

データパスは回路要素と回路要素を接続する信号線で記述される。回路要素は、PI、PO、ラッチ、レジスタ、マルチプレクサ、演算モジュール、観測モジュール、ファンアウト点、セパレート点、バインド点、定数入力端子に分類される。ファンアウト点(F)とは、1本の信号線が2本以上に元のビット幅を保存して分岐する点であり、セパレート点(S)とは、1本の信号線が2本以上に分割される点である。従って、セパレート点に inputs する信号線のビット幅と出力する信号線のビット幅の総和は等しい。また、バインド点(B)とは、2本以上の信号線を1本に束ねる点であり、バインド点に inputs する信号線のビット幅の総和は出力する信号線のビット幅に等しい。定数入力端子は、外部入力とは別に0や1などの定数が入力されている端子である。また、マルチプレクサ、演算モジュール、観測モジュールを組合せ回路要素と呼ぶ。

各回路要素は端子を持ち、それぞれデータ端子、制御端子、観測端子に分類される。データ端子には、回路要素にデータを inputs する入力端子と回路要素からデータを出力する出力端子がある。制御端子は、コントローラから回路要素へ制御信号を inputs する端子である。観測端子は、回路要素からコントローラへステータス信号を出力する端子である。信号線には、データ信号線と制御信号線、ステータス信号線がある。データ信号線は2つの回路要素のデータ端子を接続する。制御信号線は、コントローラと回路要素の制御端子を接続する。ステータス信号線は、回路要素の観測端子とコントローラを接続する。

本論文で扱うデータパスは、各回路要素のデータ端子や回路中のデータ信号線のビット幅がそれぞれで異なり、観測モジュール以外の全ての回路要素は1または2個の入力端子、1個の出力端子、高々1個の制御端子と観測端子を持ち、観測モジュールは1または2個の入力端子、高々1個の制御端子と観測端子をもつ。また、全ての入力端子は、少なくとも1つのPIから到達可能であり、全ての出力端子は少なくとも1つのPOに到達可能である

3. 階層 BIST

諸定義

本章では、最初に、本論文が対象とするRTLデータパスをグラフとして扱うために、一般ビット幅データパスグラフを定義する。次に、データパス中の全てのテスト対象組合せ回路要素に対してテストが可能であるというデータパスの性質として、一般ビット幅可検査性を定義する。

一般ビット幅データパスグラフ

データパスにおいて、データ信号線のビット幅がそれぞれで異なるようなデータパスを一般ビット幅データパスと呼ぶ。この一般ビット幅データパスに対して一般ビット幅データパスグラフ $G=(V, E)$ を次のネットワークフローとして定義する。

[定義1](一般ビット幅データパスグラフ)

$$V = V_{elm} \cup V_{data} \cup V_B \cup V_S \cup V_F \cup V_{const1} \cup V_{const2}$$

ここで V_{elm} はデータパス中の全ての回路要素の集合、 V_{data} はデータパス中において $V_B, V_S, V_F, V_{const1}, V_{const2}$ に属さない全てのデータ端子の集合とする。 V_B は2本以上の信号線を1本に束ねる点(B)の集合、 V_S は1本の信号線を2本以上に分割する点(S)の集合、 V_F は1本の信号線が2本以上の信号線に分岐する点(F)の集合であるとする。そして、 V_{const1} は V_B に隣接する定数データ端子の集合、 V_{const2} は V_{data} に隣接する定数データ端子の集合である。

$$E = E_{data} \cup E_i \cup E_o$$

ここで E_{data} はデータ信号線を表し、 $E_{data} = \{(x, y) \in V_{data} \times V_{data} \mid \text{出力端子 } x \text{ と入力端子 } y \text{ がデータ信号線で接続}\}$ とする。また、 E_i, E_o はそれぞれ、入力端子と回路要素を接続する信号線、回路要素と出力端子を接続する信号線を表す。すなわち、 $E_i = \{(x, u) \in V_{data} \times V_{elm} \mid x \text{ は回路要素 } u \text{ の入力端子}\}$ 、 $E_o = \{(u, y) \in V_{elm} \times V_{data} \mid y \text{ は回路要素 } u \text{ の出力端子}\}$ とする。

図2に一般ビット幅データパスとそのデータパスに対するデータパスグラフを示す。例えば図2において、頂点集合 V の対応は以下ようになる。

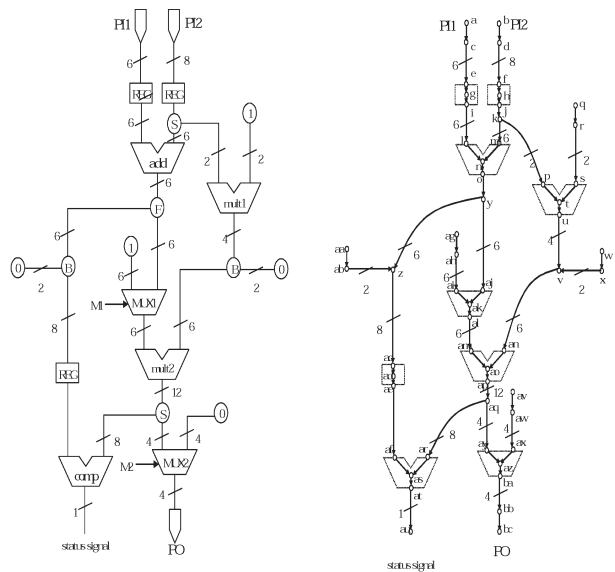


図2 一般ビット幅データパスと一般ビット幅データパスグラフ

Fig. 2 General Bit Width Datapath and its Digraph

$V_{elm} \ni \{g, h, n, t, ad, ak, ao, as, az\}$
 $V_{data} \ni \{a, b, c, d, e, f, i, j, l, m, o, p, q, s, u, w, aa, ac, ae, af, ag, ai, aj, al, am, an, ap, ar, at, au, av, ax, ay, ba, bb, bc\}$
 $V_B \ni \{v, z\}$
 $V_S \ni \{k, aq\}$
 $V_F \ni \{y\}$
 $V_{const1} \ni \{x, ab\}$
 $V_{const2} \ni \{r, ah, aw\}$

一般ビット幅データパスグラフにおいて、全て組合せ回路要素の入力端子は少なくとも1つのPIから到達可能であり、全ての組合せ回路要素の出力端子は少なくとも1つのPOもしくはステータス信号線に到達可能であるものとする。また、一般ビット幅データパスグラフは、その対応するデータパスと同一視する。

一般ビット幅可検査性

RTLデータパスのデータ信号線のビット幅がそれぞれで異なるような組合せ回路要素をテスト可能とするために、データパスに必要な性質である一般ビット幅可検査性を提案する。一般ビット幅データパスの一般ビット幅可検査性を次のように定義する。

[定義2](一般ビット幅可検査性)

一般ビット幅レジスタ転送レベルデータパスグラフ G 中の任意の組合せ回路要素 M において、以下の条件を満たす時、 M は一般ビット幅可検査であるという。

- ・ M の入力端子のもつビット幅分の非負の流出量を伝搬可能なフロー FC_1, FC_2 、 M の出力端子のもつビット幅分の非負の流出量を伝搬可能なフロー FO が存在する。
- ・ FC_1, FC_2 はそれぞれ異なる TPG を始点、 M の入力端子を終点とする。
- ・ FO は M の出力端子を始点、RA を終点とする。

FC_1, FC_2 を M の制御フローと呼び、 FO を M の観測フローと呼ぶ。制御フローや観測フローは、実際の回路上において各フローの経路上に存在する回路要素に図3の太線のフローを実現するようなテストプラン（制御信号）を与えることによって実現される。図3では、テストプランとして REG1, REG2 が load, add は左入力の値をそのまま出力する left thru, MUX は、それぞれ right, left, left の制御信号を与えることで、斜線で示した mult2 の制御フローと観測フローを実現する。

4. 設計変更例

3章で提案した一般ビット幅可検査データパスを実現するためには、既存の回路に対して設計変更を行うテスト容易化設計が必要となる。筆者らは、文献[5, 6, 7]において、それぞれ異なる可検査性を提案し、それを実現するためのテスト容易化アルゴリズムを提案している。本稿で提案した可検査性に対してもテスト容易化アルゴリズムを提案する必要がある。テスト容易化アルゴリズムの枠組みとして、問題の定式化を以下のように行う。

- ・ 入力：一般ビット幅データパス
- ・ 出力：一般ビット幅可検査データパス、テストプラン
- ・ 最適化目標：付加する DFT 要素(スルー機能, マルチプレクサ)のハードウェア量最小化

この問題を満たすアルゴリズムのフローチャートを図4に示す。

提案した DFT アルゴリズムは5つのステージから構成している。

以下に各ステージの詳細を示す。

・ステージ1

回路内の組合せ回路要素を、テスト容易性に基づいてクラス分けする。

・ステージ2

ステージ1で行ったクラス分けに基づいて、テストする組合せ回路を選択する。次に、制御フロー、観測フローの順で経路を決定する。この作業を、すべての組

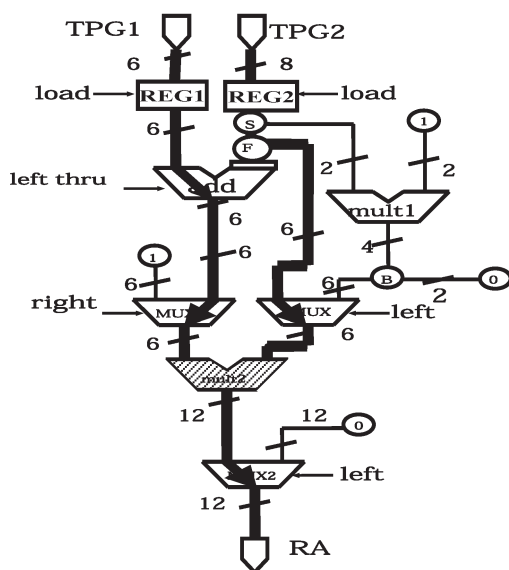


図3 一般ビット幅可検査データパスグラフ
Fig. 3 Testability of General bit width Datapath Digraph

合せ回路に対して行う。このとき、回路が一般ビット幅可検査性を満たすように必要に応じてDFTを行う。

• ステージ3

DFTで加えられた組合せ回路要素に対しても、制御フローと観測フローを決定する。

• ステージ4

DFTで加えられた要素を有効に利用するため、再度すべての組合せ回路要素に対して制御フローと観測フローを決定する。

• ステージ5

得られた制御フロー、観測フローを利用して故障シミュレーションを行い、故障検出率の評価を行う。目標とする故障検出率に達しない場合は、ステージ2に戻りフローを決定しなおす。

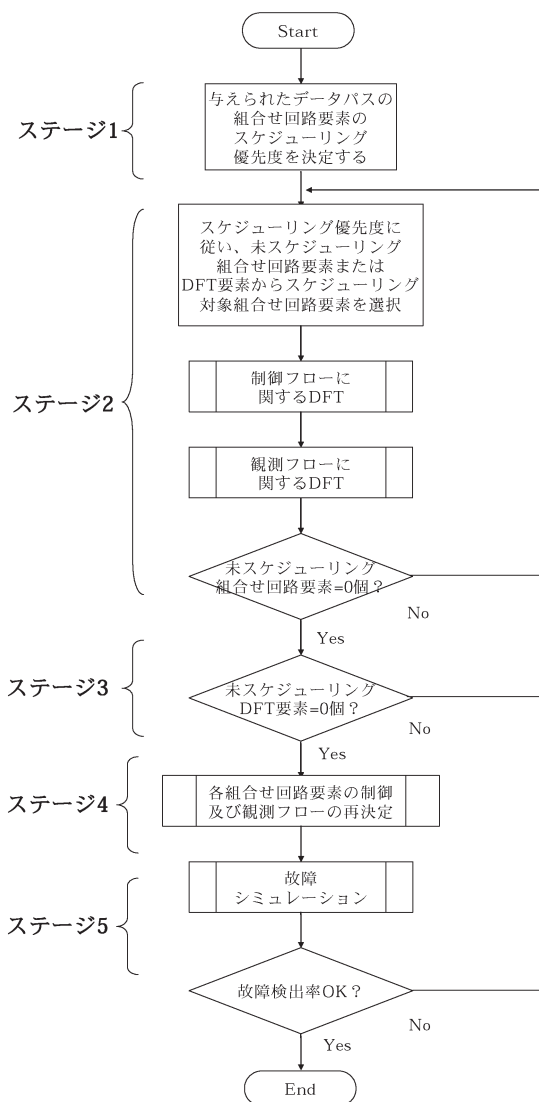


図4 DFT アルゴリズムフローチャート

Fig. 4 Flowchart of DFT Algorithm

このアルゴリズムを、図1に示すベンチマーク回路に適用した結果を表1に示す。

表1 ハードウェアオーバーヘッド

Table1 Hardware Overhead

	入力ピン増加	出力ピン増加	面積増加
提案手法	0%	0%	44.1%
[11]の手法	41.2%	160.0%	26.6%

提案法では、外部からのピンを増やすことなく回路をテスト容易に設計変更できている。この結果は、ピン数がテストコストに比例することをからテストにかかるコストを大幅に削減できることを意味している。しかし、面積に関しては[11]の手法よりも増加しているため、さらなる削減が必要となっている。また、ファンアウトが増えて回路が複雑になると、アルゴリズムが適用できなくなるという欠陥がある。今後、提案手法の利点を活かしながら、アルゴリズムを完全とし、面積増加を抑える手法を考案する必要がある。

5. まとめ

本稿では、ビット幅が均一でないデータベースに対してBISTを実現可能とする一般ビット幅可検査性を提案した。また、この性質を満たすためのテスト容易化設計アルゴリズムを提案し、ベンチマーク回路に対して適用実験を行い、その有効性を確認することができた。しかし、今回提案したアルゴリズムは不完全であり、大規模な回路に対する評価をするに至らなかった。今後、すべての回路に対してBISTを実現するために今回提案した可検査性と、それを満たすためのテスト容易化設計法を提案する予定である。

謝 辞

この研究を行うにあたり、奈良先端大学院大学情報科学研究科コンピュータ設計学講座の施設を借用させていただいた。深く感謝いたします。

文 献

[1]. P. Bardell and W.H. McAnney, "Self-testing of multichip logic modules," Proc. 1982 IEEE Test Conf., pp.200-203, 1979.
 [2]. A.P. Stroele and H.J. Wuderlich, "Hardware-optimal

- test register insertion,” IEEE Trans. Comput.-Aided Des. Integer. Circuits Syst., vol.17, no6, pp.531-539, 1998
- [3]. B. Koenemann, J. Mucha, and G. Zwiehoff, “Built-in logic block observation techniques,” Proc.1979 IEEE Test Conf., pp.37-41, 1979.
- [4]. L.T. Wang and E.J. McCluskey, “Concurrent built-in logic block observer(CBILBO),” Proc.Int.Symp.on Circuits and Systems, pp.1054-1057, 1986.
- [5]. 井筒稔, 和田弘樹, 増澤利光, 藤原秀雄, “単一制御可検査性に基づくレジスタ転送レベルデータパスの組込み自己テスト容易化設計法,” 信学論 (D-I), vol.J84-D-I, no6, pp.527-537, 2002.
- [6]. 山口賢一, 和田弘樹, 増澤利光, 藤原秀雄, “レジスタ転送レベルデータパスの単一制御並行可検査性に基づく組込み自己テスト法,” 信学論 (D-I), vol.J84-D-I, no6, pp.527-537, 2002
- [7]. 山口賢一, 井上美智子, 藤原秀雄, “階層BIST : 低いオーバーヘッドを実現する Test-per-clock 方式 BIST,” 信学論 (D-I), vol.J86-D-I, no7, pp.469-479, 2003.
- [8]. B. Koenemann, “LFSR-coded test patterns for scan design,” Proc. European Test Conference(ETC), pp.237-242, 1980.
- [9]. B. Krishnanmurthy, “A dynamic programming approach to the test point insertion problem,” Proc. ACM/IEEE, pp695-705, 1987.
- [10]. 青山瑠美, “一般ビット幅可検査性に基づく組込み自己テストに関する研究”, 奈良工業高等専門学校情報工学科平成15年度卒業研究論文
- [11]. H.Date, T. Hosokawa, M. Miyazaki and M. Muraoka, “A Non-scan DFT Method for RTL Data Path Circuits with Various Bit Width,” Proc. Of 3rd Workshop on RTL and High level Testing, pp.32-37 (2002).