

回路上での重み付きランダムパターンの検討と実現

山口 賢一・高井 繁吉*・高橋 弥平*・村田 絵理*

The Study and Implementation of the Weighted Pseudorandom Pattern Generator on Circuit Under Test

Ken'ichi YAMAGUCHI, Sigeyosi TAKAI*, Yahei TAKAHASHI* and Eri MURATA*

VLSIの信頼性を低コストで実現する方法として、組込み自己テストがある。組込み自己テストでは、ランダムパターン発生装置を利用する方法が多く用いられる。この方法では、VLSI自体の面積増加を抑制しながら信頼性の尺度である故障検出率の向上を実現することができる。著者らは、レジスタ転送レベル回路において既存の経路を活用することで、テストパターンと応答の伝搬を行い、高品質な組込み自己テストの実現方法を提案してきた。しかしながら、ランダムパターンでは故障検出が困難となるモジュールの存在などによって、効率よくテストできない場合が存在する。本稿では、乗算器のテストに着目し、効率よくテストを行うための重み付きランダムパターン発生装置の構成について検討する。

1. はじめに

近年、半導体の集積技術や複雑化に伴い、VLSI内部の構成回路の素子が増加している。それに伴い、VLSI出荷テストのコスト増大が問題となっている。その解決策として、ランダムパターンを利用した組込み自己テスト(BIST)設計がある。BISTでは、VLSI上でテストパターンの発生と応答の解析を行う。つまり、VLSI内部にテストパターン発生器(TPG)と応答解析器(RA)を組込む。図1にBISTの概念図を示す。VLSIチップ内に組込んだTPGとRAにより、被テスト回路に対するテストパターンの印加と応答の解析が行われる。TPGは、カウンタや生成したテスト系列を記憶したROM、擬似ランダムパターン発生回路などによって実現可能である。特に、擬似ランダムパターン発生回路を用いることでテスト生成費用とテストデータ量の増加によるテストの記憶装置にかかる費用を削減できる。

TPGはVLSIの通常動作時のクロック速度で動作できるので、被テスト回路に対して高速なテスト系列を印加できる。従って、遅延テストを容易に行うことができる。TPGとしてよく用いられる、線形フィードバックシフトレジスタ(LFSR)では、ハードウェアで随時テストパターンを生成可能であるため、テスト生成にかかる時間が非常に短い。16bit-LFSRの構成例を図2に示す。

しかしながら、LFSRによるランダムパターンテスト

図1 BIST概念図

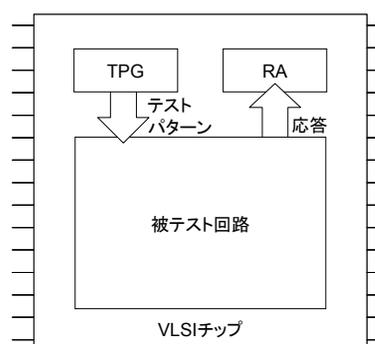
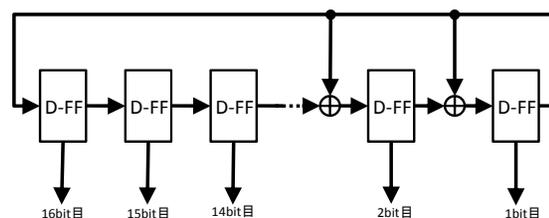


図2 16bit-LFSRの構成例



では回路構造によって未検出故障の存在や、多くのテストパターンをテスト対象回路に印加させる必要があるため、テスト実行時間が増加してしまう。特に、モジュール毎にテストを行った時に、乗算器などの大規模なモジュールで顕著に現れる^[1]。

* 奈良工業高等専門学校 専攻科 電子情報工学専攻

2. 研究目的

現在、回路設計はゲートレベルより上位に位置する、レジスタ転送レベル (RTL: Register Transfer Level) で行われるのが主流である。RTLの回路では、コントローラ部とデータパス部に分けての記述が行える。一般的に、データパスの回路規模は、コントローラと比較して大きくなるため、データパスに対して有効なテスト容易化設計を施す BIST が提案されている^[1]。しかしながら、この手法では回路要素すべてを均等に扱うため、他のモジュールに比べ回路構造が複雑でテスト困難な乗算器などのモジュールについて特別な考慮を行ってはおらず、テスト実行時間増大の1つの要因となっている。

そこで本稿では、乗算器のテストを改善するために重み付きランダムパターン発生器を導入する。

本稿で採用する重み付きランダムパターンは、最下位ビットの1の出現確率を上昇させたランダムパターンのことである。一般的なランダムパターンの生成機構である LFSR では、生成されるランダムパターンの各ビットの0と1の出現確率はほぼ等確率であるのに対し、最下位ビットに重みを付けることにより、乗算器の故障検出が高速に行える経験則に基づくものである^[2]。

3. 研究方法

本稿では、重み付きランダムパターンの実現方法として、LFSRの最下位ビットと任意のビットとの論理和をとる構造を導入する。この設計によって、ゲートの増加1つで最下位ビットの1の出現確率を75%に増加させることができる。

任意のビットの決め方は、LFSRの特性多項式の1から1の距離が一番長い場所の真ん中とした。

例として、特性多項式が $846F_{16}$ の場合の16bit重み付きLFSRを図3に示す。

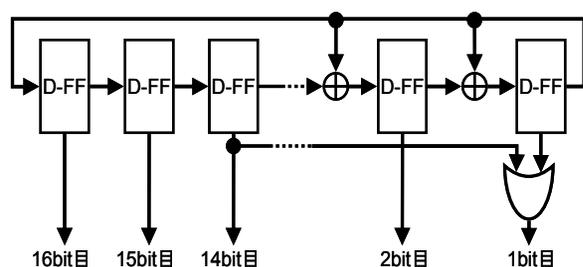


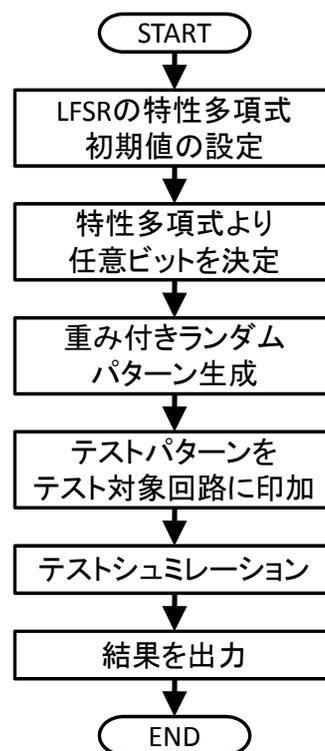
図3 重み付きランダムパターン発生器

4. 実験方法

本稿では、VHDLで作成した16bit、2入力、33bit出力の乗算器をテスト対象回路としてテストを行った。図4に実験のフローを示す。

まず、提案手法で述べた重み付きランダムパターン発生器をプログラム言語のJavaで作成し、プログラムから出力されるランダムパターンをテストパターンとして利用した。

図4 実験フロー



次に、テスト対象回路に作成したテストパターンを印加しテストを行った。LFSRの特性多項式や初期値を変更し、同じようにテストパターンを生成、テスト対象回路にテストパターンを印加しテストを行う工程を複数回行う。それらの結果から、本稿で提案した重み付きランダムパターン発生器が有効であるかの検討を行う。

また、16bit-2入力、17bit-1出力の加算器および減算器の2種類の回路をテスト対象回路としてテストを行い、乗算器以外の回路に対しても提案手法が有効であるかの検討も行った。

5. 実験結果

LFSRの特性多項式や初期値を変更し、1024回テストを実行し、乗算器の全故障8751個を検出するのに必

要なパターン数を重み付きおよび重みなしの場合で比較した結果について表1に示す。

表1 テストパターン数の比較結果（乗算器）

重み付きが検出に必要なパターン数	減少	増減無	増加
	708	278	38
	平均		標準偏差
重みなし	297.46		107.61
重み付き	226.26		66.85

表1より、テストパターンが増加する場合は38回(4%)あるが、全故障を検出可能なパターン数の平均値と標準偏差では重み付きのほうがそれぞれ24%と38%減少しているため、本稿の提案手法が乗算器に対して有効であると言える。

次に、加算器の全故障562個を検出するのに必要なパターン数を重み付きおよび重みなしの場合で比較した結果について表2に示す。

表2 テストパターン数の比較結果（加算器）

重み付きが検出に必要なパターン数	減少	増減無	増加
	343	575	105
	平均		標準偏差
重みなし	42.51		14.86
重み付き	38.12		11.23

表2より、テストパターンが増加する場合は105回(10%)あるが、平均と標準偏差では重み付きのほうがそれぞれ10%と24%減少しているため、本稿で提案した重み付きランダムパターン発生器が加算器に対して有効であると言える。

最後に、減算器の全故障536個を検出するのに必要なパターン数を重み付きおよび重みなしの場合で比較した結果について表3に示す。

表3 テストパターン数の比較結果（減算器）

重み付きが検出に必要なパターン数	減少	増減無	増加
	96	426	502
	平均		標準偏差
重みなし	40.43		12.65
重み付き	50.48		20.91

表3より、テストパターンが増加する場合は502回(49%)あり、また加算器や乗算器とは逆に平均と標準偏差がそれぞれ25%と65%増加していることがわかる。よって、本稿で提案した重み付きランダムパターン発生器が減算器に対しては有効でないと言える。

6. まとめ

本稿では、レジスタ転送レベルデータパスのモジュールである乗算器に着目し、BISTを想定したテストにおいて有効なテストパターンについて実験によりその評価と実現方法の検討を行った。乗算器の特性を考慮して'1'の出現頻度を上げる重み付きランダムパターン発生器によるテストの有効性を確認することができた。減算器のように、提案したパターン発生器では、パターン数が増加することも確認できたので、回路構造やテスト対象にとってパターン発生器を使い分けるテストアーキテクチャの構築が今後の課題である。

参考文献

- [1] 山口賢一, 井上美智子, 藤原秀雄: “階層 BIST のためのテスト容易化設計に関する研究”, 電子情報通信学会論文誌 (DI), Vol.J86-D-I, 2003.
- [2] 高橋弥平, 向井優太, 山口賢一: “乗算器のランダムパターンテスト容易性に関する考察”, 第13回電子情報通信学会学生研究発表講演会, A3-3, pp31, March, 2008.
- [3] Jacob Savir “On Chip Weighted Random Patterns”, Proceedings of the 5th Asian Test Symposium, pp343-351, November, 1997.
- [4] Jacob Savir: “Module Level Weighted Random Patterns”, Proceedings of the 3rd Asian Test Symposium, pp274-278, November, 1995.

