

BISTを実現するRTLコントローラの一考察

山口 賢一・高田 篤史

A Method of RTL-Controller for BIST

Ken'ichi YAMAGUCHI, Atsushi TAKADA

LSI設計技術の進歩により、高速かつ低消費電力なLSIが低価格で市場に出回るようになってきている。同時に、製造後のLSIに対して信頼性を確保するために行うテストに対する条件は、コストなどの面からも非常に厳しくなっている。筆者らはすでに、高品質なテストが可能であるクロック動作ごとのテスト (Test-Per-Clock Test) と、特別なテストを必要としない組み込み自己テスト (Built-in Self Test : BIST) の両方を実現する階層BIST法を提案し、ベンチマーク回路を用いた実験により、その有効性を確認している。階層BISTとは、レジスタ転送レベル (Resister Transfer Level : RTL) 回路に対するBISTをレジスタ転送レベルとゲートレベルの2つの階層で行うBISTを総称する概念である。

しかしながら現状の階層BIST法では、RTLを構成する2つの要素であるデータパスとコントローラを分離して考えるため、統合する際の面積増加や速度増加が問題となっている。本稿では、この問題点を解決するための試案として、テストを指向したコントローラの一構成法を示すことで実用化に向けた足がかりとする。

1. はじめに

LSIのテストは、不良品の流通を防止するために行われ、LSI内部の故障を検出することで実現する。具体的には、入力系列(テストパターン)の印加と、その出力応答の解析によってLSI内部の故障を検出する。しかし近年、LSIの高集積・高機能化により、テストにかかる時間や費用が増加し、LSIの信頼性を確保することが困難になっている。そこで製造されたLSIのテストを容易にするため、LSIの設計段階でテスト容易化設計(DFT)を行う。DFTでは、テストに特化した回路素子を付加するため、回路面積などは大きくなるが、信頼性の確保が容易となる。

2. テストコントローラ

DFTの一つにレジスタ転送レベル(RTL)での階層組み込み自己テスト(階層BIST)¹⁾がある。RTL回路は、図1に示すように有限状態機械(FSM)で記述されるコントローラと、演算器などの回路素子とそれらを接続する信号線で記述されるデータパスによって構成される。階層

BISTはテストパターンの印加と出力応答の観測を行う機構をLSI内に組込む。

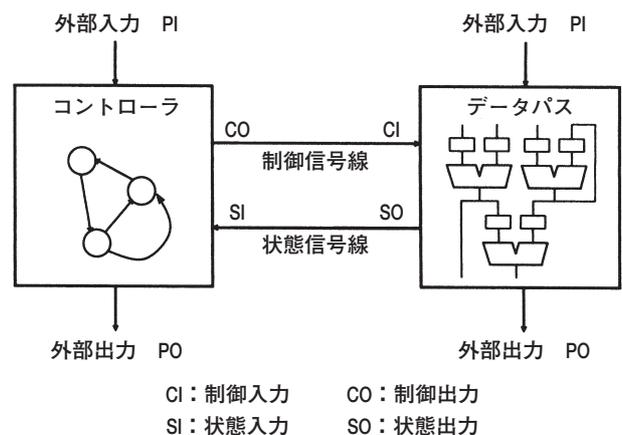


図1 RTL回路

RTLのコントローラやデータパスはそれぞれ独立してテストを行うことが可能である。データパスのテストでは、テストパターン及び出力応答の伝搬経路(テスト経路)を生成する。テスト経路を実現するには、テスト経路上の各回路素子に制御信号を供給する必要がある。このときデータパスに供給する制御信号の時系列をテストプランという。

制御信号はコントローラから供給するが、テストプランは通常動作時に供給する制御信号とは異なり、テストコントローラから供給する。つまり通常動作時は既存のコントローラから、テスト動作時はテストコントローラから制御信号を供給する。コントローラに対する既存のテスト手法^{1) 2)}では、テストコントローラに対しては機能テストを行うことで十分な故障検出率を得られるものとしている。コントローラとテストコントローラを区別する従来のBISTアーキテクチャ¹⁾を図2に示す。

従来のBISTアーキテクチャ¹⁾は、制御信号線のビット幅が大きくなるほど、図2のSelで示される動作の切換えに必要なマルチプレクサ(MUX)の面積は大きくなる。また、図のコントローラとデータバスに対しては構造テストを行い、テストコントローラに対しては機能テストを行う。機能テストが回路の動作確認のみを行うのに対し、構造テストは信号線ごとに故障検出を行うため、構造テストを行う方がより高い信頼性を保証できる。

そこで本稿では、制御信号線上の動作切換え用MUXの面積削減、さらにテストコントローラ部の構造テストを可能にし、より高い信頼性を保証するため、既存のコントローラにテストコントローラの機能を追加する。

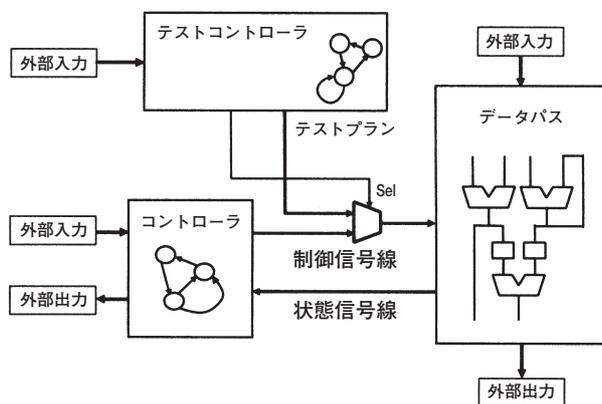


図2 従来のBISTアーキテクチャ

3. 提案するBISTアーキテクチャ

本稿では、データバスに対するDFTとして、岩田らの手法³⁾を適用する。そしてテスト動作時にテストプランを供給する状態(テスト状態)を既存のコントローラに追加する。テストプランは各テストセッションによって異なるため、テストセッションの数と同じ数だけテスト状態を記述し、それぞれの状態で、対応するテストセッションのテストプランを供給する。テスト状態への遷移は、コントローラに新たな外部ピンを追加し、外部から遷移を制御する。

本稿で提案するBISTアーキテクチャを図3に示す。図のテスト状態付きコントローラは、通常動作時の制御信号およびテスト動作時のテストプランの供給が可能である。

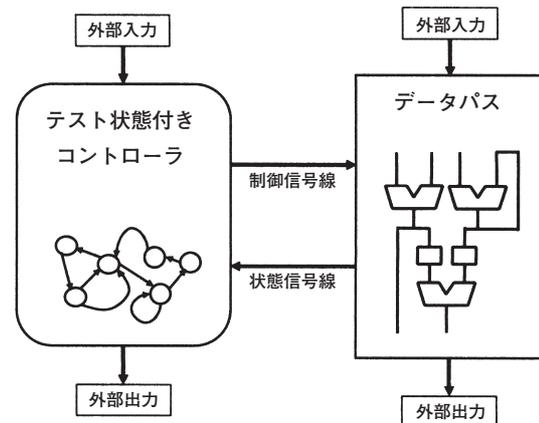


図3 提案するBISTアーキテクチャ

4. 実験結果

32bit均一ビット幅ベンチマーク回路に対し、従来のBISTアーキテクチャ¹⁾と提案するBISTアーキテクチャの面積増加の比較を表1に示す。

表1 BISTアーキテクチャの面積増加率

回路名	提案するアーキテクチャ	従来のアーキテクチャ ¹⁾
LWF	21.57%	21.44%
Paulin	8.07%	8.14%
Tseng	13.39%	13.92%

上記三つのベンチマーク回路において、両アーキテクチャはともに、単一縮退故障に対して故障検出率100%を達成する。

5. まとめと今後の課題

本稿では、既存のコントローラにテストコントローラの機能を追加し、テストコントローラ部の構造テストを可能にするBISTアーキテクチャを提案した。構造テストは機能テストよりも高い信頼性を保証することができる。さらに、Paulin, Tsengの2つのベンチマーク回路について、従来のBISTアーキテクチャと比較して、若干の面積増加抑制に成功した。今回実験した回路は比較的小規模なものであったが、Selに必要なMUX数やBISTコントローラの構造テストによる優位性は大規模回路でさらに顕著になることが予測される。そのため、RISCプロセッサやMPEG回路のような実用回路に対しても今後評価を行う予定である。

今後の課題としては、テストコントローラ機能を実現

するためのコントローラ部の面積増加率の削減が挙げられる。

参考文献

- [1] 山口賢一, 井上美智子, 藤原秀雄: “階層 BIST のためのテスト容易化設計に関する研究”, 電子情報通信学会論文誌(DI), Vol.J86-D-I, No.7, pp.469-479, (2003).
- [2] S.Ohtake, T.Masuzawa and H.Fujiwara: “A non-scan approach to DFT for Controllers Achieving 100% Fault Efficiency”, JETTA, Vol.16, No.5, pp.553-566, (2000).
- [3] 岩田大志, 吉田宜司, 青山瑠美, 山口賢一: “モジュールセット化による高品質 BIST の実現”, 第 11 回 IEICE 関西支部学生会研究発表講演会予稿, (2006).

