

SSPFを用いたCMOS回路の消費電力の削減法

世古 忠

A Power Reduction Method for CMOS Circuits Using a Super Sets of Functions

Tadashi Seko

This paper presents a new method to reduce the power consumption of CMOS circuits using a super set of functions. The new method extends the concept of a compatible set of permissible functions and applies a transduction method based on the extended concept which transforms CMOS circuits as many times as possible. The experimental evaluations using MCNC benchmark circuits show the superiority of the proposed approach.

1. はじめに

近年、携帯用情報端末の発展に伴い、VLSIの設計において消費電力を削減することが重要な目標になっている。従来より論理回路の局所変換を繰り返して回路のゲート数や結線数を削減する方法がイリノイ大学の室賀等[2]によって提案されている。古賀等[3]は、その方法を消費電力削減へ適用した。この方法では、回路の変形を行う際、許容関数集合 (CSPF: Compatible Set of Permissible Functions) を用いているため、生成される回路に制限があった。その後、文献[4]ではCSPFを拡張し、より多くの回路生成が可能である拡張許容関数集合 SSPF (Super Sets of Functions) が提案された。

本論文では、より強力な回路変形能力をもつSSPF用いたトランスダクション法をCMOS回路の消費電力削減に適用する方法を提案し、実験的評価によりその有効性を示す。

2. 消費電力のモデル

2.1 評価尺度

CMOS論理回路の消費電力は、リーク電流による消費電力、貫通電流による消費電力、負荷容量を充放電するための電力がある。これらの中で、負荷の充放電に要する消費電力が他の2つに比べて大きいいため、CMOS論理

回路の消費電力は式(1)で近似される。

$$P = 0.5fV_d^2 \sum_{g \in M} (C_g T_g) \quad (1)$$

式(1)の f はクロック周波数、 V_d は電源電圧、 M は論理回路内のゲートの集合であり、 C_g 、 T_g はそれぞれゲートの負荷容量、信号値遷移確率である。ここで、さらに上式において、ゲートの負荷容量 C_g がゲートのファンアウト数 N_g に比例すると仮定し、その比例定数を C_0 とすると、以下の式となる。

$$P_M = 0.5V_d^2 f C_0 \sum_{g \in M} (N_g T_g) \quad (2)$$

以上より、本論文では消費電力の評価関数 Φ を次式で定義する。

$$\Phi = \sum_{g \in M} (N_g T_g) \quad (3)$$

2.2 信号値遷移確率

ゲート g の出力が1になる確率を E とするとき、その値が0から1または1から0へ遷移する確率、すなわち信号値遷移確率 T_g は、ゲートの遅延がないモデルを考えているため、次式で与えられる。

$$T_g = 2E(1 - E) \quad (4)$$

よって評価関数 Φ は、外部入力の信号値が1になる確率が与えられるとき、次式から算出できる。

$$\Phi = \sum_{g \in M} 2N_g E(1-E) \quad (5)$$

3. CSPF と SSPF

3.1 CSPF

論理ゲートの自由度を表す関数を許容関数[2] (Permissible Function) といい0, 1, *(don't care)の3値で表される. 例えば, 図1はANDゲートの真理値表をベクトル形式で表したものであり, 入力 a, b にそれぞれ [0011], [0101] を加えたとき, 出力 f は [0001] であることを示す. 入力 b を固定したとき f の値を変化させない a の入力の集合は, [0001], [0011], [1001], [1011] であり, これらの関数の集合を a の許容関数集合と呼び, $G(a)=[*0*1]$ で表す. 同様に, a を固定したとき b の許容関数集合は, $G(b)=[**01]$ である. 特に, 複数の場所で同時に置き換え可能な許容関数集合を, 両立許容関数集合 (CSPF: Compatible Set of Permissible Function) といい G_c で表わす. 例えば, 図1において, $G(a)=[*0*1]$, $G(b)=[**01]$ であり, a, b の最初の要素は*であるが, 両方ともに1にすると, $f=0$ にならないので同時に置き換えできない. このような場合を除外して, a, b の CSPF は $G_c(a)=[00*1]$, $G_c(b)=[**01]$ または, $G_c(a)=[*0*1]$, $G_c(b)=[0*01]$ である. なお, 他のゲートの CSPF も同様にもとめることができる.

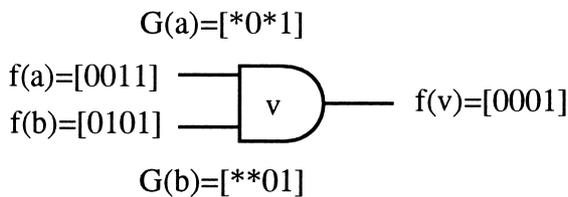


図1 ANDゲート

3.1.1 SSPF

許容関数表現として CSPF を用いる場合, ある場所での CSPF が複数の集合で表される場合があり, 本来冗長である結線を選択できない問題がある. ここで CSPF の選択肢をすべて含む拡張許容関数集合 (SSPF: Super Set of Permissible Function) [4] という概念が提案されている. SSPF は CSPF における3値0, 1, *に0*, 1*を追加した5値を用いて許容関数を表わす. 0*, 1* はゲートの入力結線のうち, いづれか1つが0または1であり, 他の結線は*であることを示す. 例えば, 図2の回路例でゲート v_3 の CSPF は, [00**] あるいは [00*1] の2つの集合があり, 実際にはひとつを選択しなければならないが, SSPF は [00*1*] がただひとつ選択される. よって SSPF を用いることによって回路最適化能力の向上が期待できる.

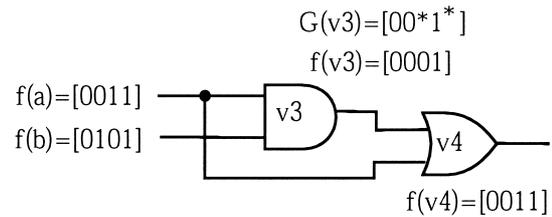


図2 回路例

3.2 トランスダクション法

トランスダクション法[2]とは, 許容関数の概念を用いて回路の出力関数が増えないように回路を変形する手法であり, 結線の接続・削除 (C/DC) 手続きに基づく方法などがある.

C/DC 手続きにおいては, 回路中の各ゲート v に対して, 結線の接続・削除を繰り返して, 回路変形を行う. 本論文では, SSPF を用いたトランスダクション法により消費電力の評価関数 Φ が小さくなるような回路変形を行うことで消費電力を削減する.

4. SSPF を用いた消費電力削減法の提案

以下において, SSPF を用いたトランスダクション法による消費電力削減アルゴリズムを新しく提案する.

SSPF を用いた消費電力削減アルゴリズム

- Step1: 回路の全ゲートの論理関数を計算する.
- Step2: 回路の全ゲートを出力側からレベル付けする.
- Step3: 各ゲート $v_i (1 \leq i \leq m)$ に対して, Step4 ~ Step7 を実行する.
- Step4: 全ゲートの SSPF を計算する.
- Step5: v_i に接続可能なゲートを探索し, 接続可能なゲートがあれば最大ファンイン数内で Φ が最小になる結線を接続し, Step4 へ行く. ないときは Step6 へ行く.
- Step6: 全ゲートの SSPF を計算する.
- Step7: v_i から削除可能結線を探索し, あれば最も Φ が減少する結線を削除し Step6 へ行く. そうでないとき, Step8 へ行く.
- Step8: 終了する.

図3(a)の回路の a, b に信号値確率0.5の信号を入力し, 上のアルゴリズムを適用したところ, 図3(b)のように変形され, 回路全体の Φ は4.000から3.938に減少する.

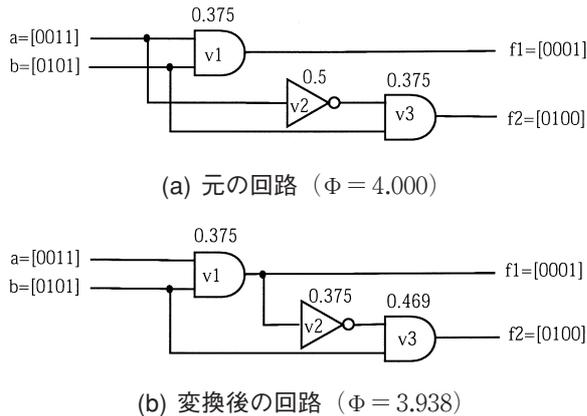


図3 適用例

5. 実験結果

提案手法を Sun Ultra 60 上で C 言語を用いて実現した。初期回路は SIS 3.0[7]を用いて、MCNC 多段ベンチマーク回路を最大ファンイン数4のNAND, NORゲートにマッピングしたものを用いた。回路の論理関数, SSPFの表現にBDDを用いた。BDDパッケージはコロラド大学のCUDDパッケージ[6]を用いた。

表1に、提案手法の初期回路に対するゲート数, 結線数, Φ の削減率を示す。また, 表2に従来法(文献[3])の初期回路に対するゲート数, 結線数, Φ の削減率を示す。

表1より、提案手法によってMCNCベンチマーク回路42回路中、32回路において文献[3]より Φ が削減された。最大の削減率が得られた回路はterm1であり、初期回路に対する削減率は、ゲート数で66.48%、結線数で67.38%、 Φ で75.02%であった。また、例えばcountは結線数が増加するが Φ は減少した。すなわち、面積が増加する方向への回路変形が行われたことを示す。このことから、一般の面積優先のトランスダクション法よりも更に強力な消費電力の削減効果が得られるといえる。一方、C17, cm152aのように Φ が削減しない回路も存在した。この理由としては、ゲート数が非常に少ない回路では、初期回路において既に最適解が与えられているからだと考えられる。

提案手法は、従来法と比べて42回路の平均でゲート数, 結線数, Φ の削減率がそれぞれさらに7.67%, 5.59%, 3.18%大きくなった。以上のことから回路の消費電力削減において提案手法が有効であることが分かった。

6. まとめ

本研究では、SSPFを用いたトランスダクション法によりCMOS回路の消費電力を削減する手法を提案し、MCNCベンチマーク回路に適用した。その結果、提案法の有効性を示した。今後は、許容関数より更に強力な回路変形能力を有する関数集合を用いたトランスダクション法により消費電力を更に削減する予定である。

謝辞

提案法のプログラムの作成に御協力頂いた沖田正樹君(現在、京都大学大学院在学中)に深謝致します。

参考文献

- [1] Edited by Jan M. Rabaey and Massoud Pedram, *Low Power Design Methodologies*, Kluwer Academic Publishers, 1996.
- [2] S.Muroga, Y. Kambayashi, H. C. Lai and N. Culliney, "The transduction method - Design of logic networks based on permissible functions", *IEEE Trans. Computers*, vol. 38, pp.1404-1424, 1989.
- [3] 古賀 一博, 澤田 直, 安浦 寛人, "トランスダクション法を利用した組み合わせ回路の消費電力設計について", *情報処理学会DAシンポジウム論文集*, pp.105-110, 1997.
- [4] 田中 克典, 熊沢 雅之, 幸田 武範, "拡張許容関数集合を用いた回路変形", *情報処理学会DAシンポジウム論文集*, pp.263-268, 1998.
- [5] K. Seko, H. Tanaka and T. Kikuno, "Reducing power dissipation of CMOS circuits by improved transduction method", *Proc. ITC-CSCC '01*, pp. 720-723.
- [6] "CUDD: CU Decision Diagram Package Release 2.3.0" <http://vlsi.bessie.colorado.edu/~fabio/CUDD/cuddIntro.html>.
- [7] E. M. Sentovich, et al. "SIS: A System for Sequential Circuit Synthesis", Memorandum No. UCB/ERL M92/41, University of California, 1992.

表1：実験結果：削減率

回路名	ゲート数 (%)	結線数 (%)	Φ (%)	回路名	ゲート数 (%)	結線数 (%)	Φ (%)
9symml	25.30	19.00	32.04	cu	16.33	22.41	41.86
C17	0.00	0.00	0.00	decod	4.55	1.39	10.04
C432	35.64	29.47	32.86	example2	16.96	11.21	28.13
alu2	24.30	7.62	31.68	f51m	52.94	51.99	56.14
apex7	24.89	19.23	27.66	frg1	34.86	32.03	35.83
b1	33.33	40.74	41.38	lal	33.05	39.34	50.58
b9	26.96	25.42	32.32	majority	0.00	0.00	7.13
c8	26.51	26.93	35.72	mux	46.74	37.08	43.10
cc	12.07	20.63	33.62	parity	18.67	0.00	7.72
cht	16.38	18.39	20.91	pcl	10.96	-12.40	22.46
cm138a	5.26	-4.44	30.36	pcler8	16.85	-9.32	22.19
cm150a	34.72	28.57	31.77	pm1	20.51	26.88	36.73
cm151a	35.29	30.16	31.12	sct	38.54	46.40	54.67
cm152a	0.00	0.00	0.00	tcon	28.07	26.97	27.81
cm162a	13.33	-2.38	16.07	term1	66.48	67.38	75.02
cm163a	23.26	7.50	20.90	ttt2	39.71	46.44	51.76
cm42a	19.05	2.27	17.42	unreg	0.00	-1.33	2.89
cm82a	21.43	12.50	19.61	vda	34.92	40.33	55.36
cm85a	13.51	0.00	37.31	x1	31.39	33.52	44.42
cmb	50.00	36.67	55.03	x2	34.09	35.85	41.13
count	14.69	-7.72	16.91	z4ml	56.06	56.35	58.97
				平均	31.94	25.18	20.55

表2：従来手法の削減率 (文献[3]より引用)

回路名	ゲート数 (%)	結線数 (%)	Φ_p (%)	回路名	ゲート数 (%)	結線数 (%)	Φ_p (%)
9symml	16.00	-2.75	21.14	cu	11.11	6.03	20.83
C17	0.00	0.00	0.00	decod	3.70	1.39	2.73
C432	24.38	30.38	30.57	example2	12.40	11.74	23.92
alu2	46.76	33.20	42.92	f51m	57.82	54.01	57.46
apex7	21.45	18.18	21.67	frg1	27.01	16.30	37.74
b1	23.53	38.46	28.90	lal	23.78	35.19	36.36
b9	12.34	12.82	18.49	majority	0.00	-5.00	0.57
c8	22.28	25.29	25.83	mux	45.13	39.89	50.75
cc	1.35	0.00	4.47	parity	15.38	0.00	10.66
cht	13.98	17.70	17.29	pcl	22.34	10.77	28.02
cm138a	8.00	11.11	11.48	pcler8	18.64	8.64	23.63
cm150a	26.88	21.80	31.99	pm1	9.09	11.83	15.43
cm151a	26.09	25.40	30.93	sct	26.55	39.55	37.99
cm152a	11.43	-4.44	14.19	tcon	24.24	29.63	25.32
cm162a	8.47	-4.76	9.00	term1	60.71	64.57	72.41
cm163a	20.34	13.75	27.90	ttt2	27.71	30.96	36.13
cm42a	0.00	0.00	0.00	unreg	0.00	0.00	0.00
cm82a	15.15	14.58	16.02	vda	12.58	15.69	16.34
cm85a	12.24	10.26	23.79	x1	17.15	16.09	29.17
cmb	18.97	12.22	37.68	x2	16.67	15.53	19.32
count	11.73	3.32	9.39	z4ml	49.32	50.00	50.74
				平均	24.27	19.59	17.37