

信号値遷移確率を用いた低電力乗算回路の一構成法

世古 忠 石井 健一

A Method on Constructing Low Power Multipliers
Based on Switching Activity

Tadashi SEKO and Kennichi ISHII

This paper presents a new approach to construct the low power multipliers. The new approach is based on calculating the switching activity of given circuit and it applies three rules iteratively which transform the circuit to reduce the measure of power of the circuit. We applied the new method to 4×4 bits, 8×8 bits and 16×16 bits Wallace tree and array multipliers. The experimental results shows that the proposed approach has attained an excellent improvement compared with the original circuits.

1 まえがき

携帯用のマルチメディア情報端末の急速な進展に伴い、端末に組み込まれるVLSIの機能は益々高度化、高速化の傾向にある。特にデジタル画像圧縮の処理においては毎秒10億回の演算が必要とされ、組み込み型のVLSIに対しても高度の演算機能が必要とされる。近年CMOS回路の微細化が進展し、高機能の回路を少ない面積で実現するため電力密度が増え続け、消費電力が増大しており、低電力化設計が極めて重要となっている。特に、携帯用の情報端末は電池で駆動するため、電池の寿命を長持ちさせるためにも、また発熱を抑えるためにも、CMOS VLSIの消費電力を削減することが、近年のVLSI設計技術の重要な課題になっている[1, 2, 3]。CMOS VLSIの消費電力の削減法としては、1) トランジスタの電源電圧を下げる、2) 負荷容量を削減する、3) 回路のスイッチングの回数を減らすという3つの方法が考えられる。1), 2)については文献[1]で主な手法が概括されている。3)については、回路を変形する方法[4, 5]や入力信号分布に着目する方法などの研究[6]が行われている。また、従来からグリッチを含めたCMOS回路の消費電力の評価法が提案されている[7]。

本稿では、回路の信号値遷移確率を低下させるような回路構成法を提案する[8]。特に、本論文では全加算器のネットワークとして構成された演算回路[9]を対象とし

て、信号値遷移確率を用いた低電力化回路構成の新しい試みについて報告する。

2 準備

2.1 CMOS論理回路の消費電力

CMOS 論理回路の消費電力はゲートのスイッチング動作に伴って消費される電力が支配的であり近似的に式(1)で表される。

$$P = 0.5 \cdot f \cdot V_{dd}^2 \cdot \sum_{g \in M} (C_g \cdot T_g) \quad (1)$$

ここで、 f はクロック周波数、 V_{dd} は電源電圧、 M は論理回路内のゲートの集合であり、 C_g 、 T_g はそれぞれゲートの負荷容量、信号値遷移確率である。

2.2 信号値遷移確率

信号線 X が論理値'1'になる確率を信号値確率といい $P(X)$ で表す。ここで、AND, OR, NOTゲートの入力の信号値確率を $P(X_1), \dots, P(X_n)$ とすると、ゲート出力の信号値確率 $P(O)$ は以下になる。

$$\text{AND: } P(O) = P(X_1) \cdot P(X_2) \cdot \dots \cdot P(X_n)$$

$$\text{OR: } P(O) = 1 - (1 - P(X_1)) \cdot (1 - P(X_2)) \cdot \dots \cdot (1 - P(X_n))$$

$$\text{NOT: } P(O) = 1 - P(X)$$

また、信号線 X が0から1または1から0に遷移する確率を信号値遷移確率 (switching activity) といい $E(X)$ で表す。 $E(X)$ は $P(X)$ を用いて次式で表される。

$$E(X) = 2P(X)(1 - P(X)) \quad (2)$$

回路の外部入力信号値確率が与えられたとき、回路の外部出力信号値確率は、接続されている各ゲートをたどることにより式(2)を用いて算出することができる。

3 低電力設計法の提案

3.1 対象回路

本研究で対象とする回路は全加算器 (FA:Full Adder) のネットワークから構成される回路とする。FAはデータ入力を A, B 、桁上げ入力を C_{in} とし和 S 、桁上げ出力 C_{out} を計算する回路であり以下の式で与えられる。

$$S = ABC_{in} + (A + B + C_{in}) C_{out} \quad (3)$$

$$C_{out} = AB + (A + B) C_{in} \quad (4)$$

ここで S, C_{out} は対称関数であるので入力 A, B, C_{in} をどのように入れ替えても出力は不変である。

図1にFAからなるネットワークの例を示す。FA₄の入力信号線と接続されているFA₂, FA₃の中で、桁上げ出力 C_{out} の信号線がFA₄と接続している全加算器FA₃をFA₄の親と定義する。また、FA₄の和出力 S の信号線と接続されている全加算器FA₆をFA₄の子と定義する。子であるという関係により接続をたどっていくことができる全加算器すべての集合を子孫と定義する。図1の場合、FA₂の子孫はFA₄, FA₆である。

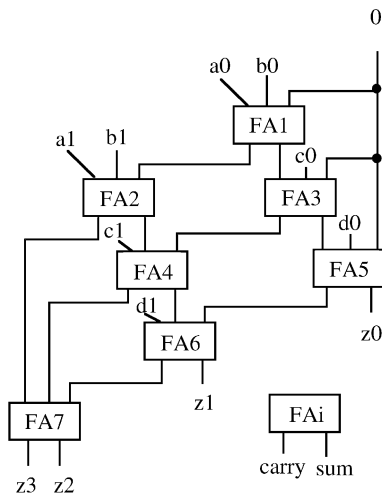


図1 全加算器ネットワークの一例 ($A+B+C+D=Z$)

3.2 低電力加算回路の構成法

前節で述べたようにFAの入力線は交換が可能であるため、FAの消費電力が減少するような接続を採用することによって消費電力を削減することが可能となる。そ

こで、本稿では入力信号線つなぎ換えによる削減法を提案する。この手法では、回路の消費電力尺度として以下の式(5)を用いる。

$$E_{sum} = \sum_{\forall FA \in N} \{E(S) + E(C_{out})\} \quad (5)$$

ただし、式(5)の N は、対象とする回路のFAの集合である。この E_{sum} が出来る限り小さくなるようにFAの入力信号線つなぎ換えを行う。ここでは全加算器のつなぎかえ法として次の3つの変換法を提案する。

変換1: 最初に回路の E_{sum} の値を求める。次に、全加算器を1つ選びその3本の入力線の組で任意につなぎ換えを行い、出力信号線 S, C_{out} の信号値遷移確率の和が最小となる入力信号線の組を選ぶ。その後、再度 E_{sum} の値を計算し、 E'_{sum} とする。 $E'_{sum} > E_{sum}$ の場合は選択した入力信号線の組を採用し、そうでない場合は元の入力信号線の組を採用する。以上の操作を回路中のすべての全加算器に対して行う。

変換2: ある全加算器FAの子孫をFA'とする。FAの3本の入力信号線とFA'の入力信号線は同じ重みを持つ信号線である。今、FAの3本の入力信号線とFA'の全加算器とは接続されていない入力信号線の中から、信号値遷移確率が小さい信号線を3本選択し、FAの入力信号線とする。そして変換1と同様に E_{sum} の値を計算しつなぎ換えを行う。

変換3: ある全加算器FAの子孫をFA'とし、更にFA'の親をFA''とする。FAの3本の入力信号線とFA'の入力信号線でありかつFA''に接続している信号線は同じ重みをもつ信号線である。今、FAの3本の入力信号線とFA'と接続されているFA'の入力信号

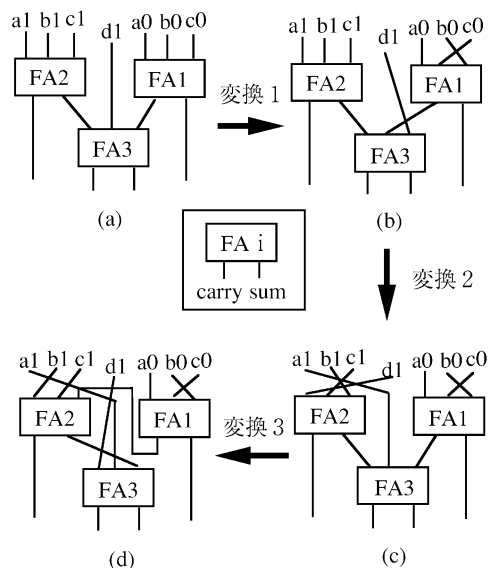


図2 回路の変換例

線の中から信号値遷移確率が小さい信号線を3本選択し、FAの入力とする。そして変換1と同様に E_{sum} の値を計算し、つなぎ換えを行う。

4 実験結果

はじめに、提案法を4ビットの Wallace tree 型乗算回路に適用したときの回路変換例を図3に示す。

図2に変換1~変換3の適用例を示す。この例では、はじめに図2(a)の回路の FA_1, FA_3 に対して変換1を適用すると図2(b)が得られる。図2(b)の FA_2 の3本の入力線と FA_3 の入力 d_1 に対して変換2を適用すると図2(c)が得られる。最後に図2(c)の FA_2 の3入力と FA_1 の桁上げ出力 C_{out} と接続されている FA_3 の入力に変換3を適用すると図2(d)が得られる。

次に提案法をそれぞれ4×4ビット、8×8ビット、16×16ビットの Wallace Tree 型乗算回路と配列型乗算回路に対して適用したときの結果を示す。外部入力信号線の信号値確率は、ランダムに1000組与えて実験を行い、 E_{sum} の値を求めた。表1に E_{sum} の削減率を示す。表1より提案手法により Wallace Tree 型乗算回路では、平均で14.2% (最大で44.9%)、配列乗算型回路では平均で17.6% (最大で46.9%) の削減率が得られた。

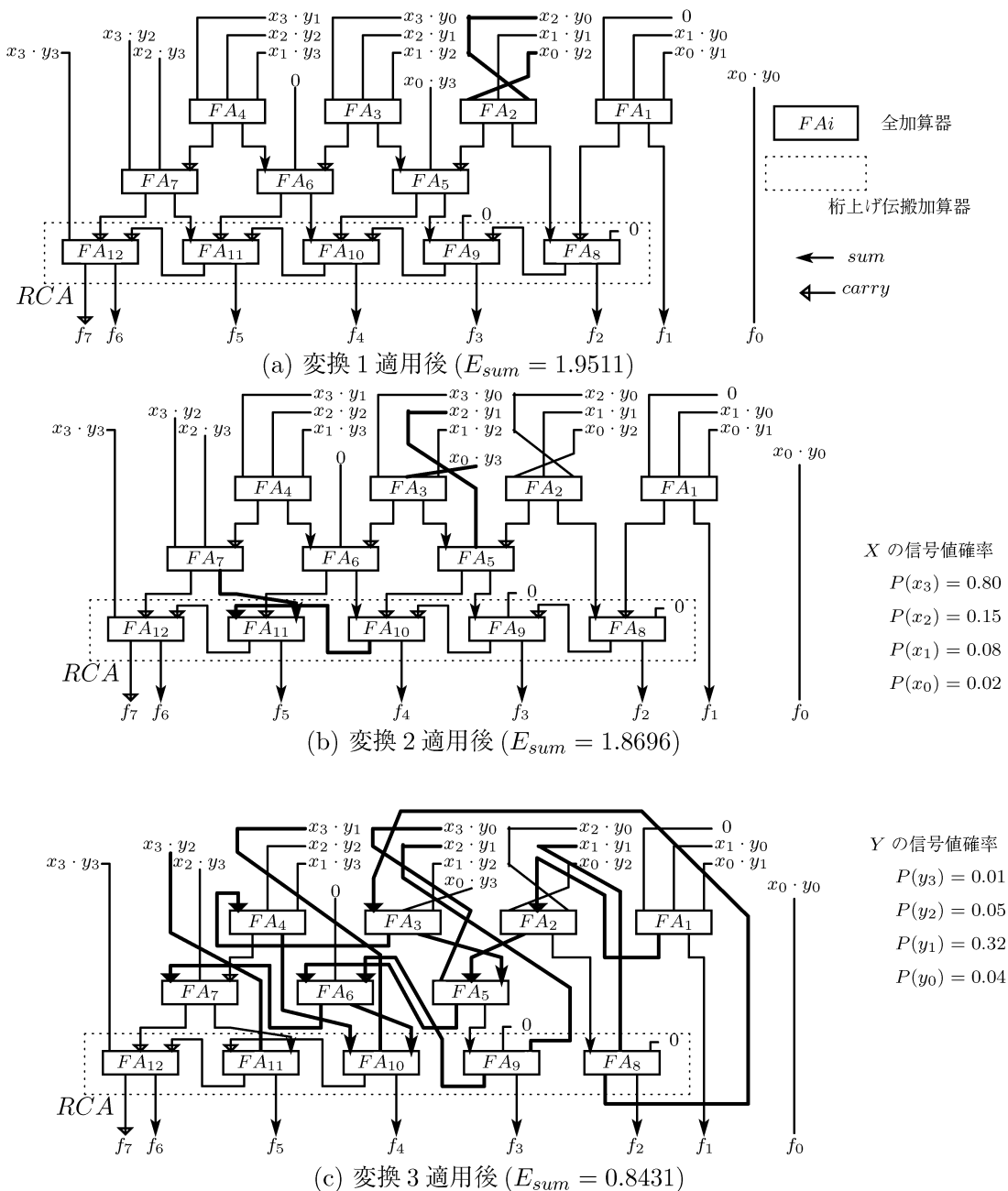


図3 Wallace Tree型乗算回路の変換例

表1 実験結果

回路名	E_{sum} [%]		
	平均	最大	最小
4×4 Wallace tree	13.2	44.9	0.08
4×4 Array	16.9	46.9	0.03
8×8 Wallace tree	14.9	33.8	3.12
8×8 Array	18.8	44.4	2.54
16×16 Wallace tree	14.5	32.4	6.27
16×16 Array	17.2	37.7	5.07

5 まとめ

本研究では、信号値遷移確率を用いた低電力化演算回路構成法として、FAの入力信号線つなぎ換え手法を提案し乗算回路に対して適用した。その結果、提案法は低電力化に有効であることを確認した。今後、DSPなど他の演算回路に対して本手法を適用し提案法の有効性についてさらに検討する予定である。

参考文献

- [1] 黒田忠広, 櫻井貴, “マルチメディアのCMOS VLSIのための低電力回路設計技術” 電子情報通信学会論文誌, Vol.J80-A No.5, pp.746-752.
- [2] Anantha P.Chandrakasan and Robert W. Brodersen, *Low Power Digital CMOS Designs*, Kluwer Academic Publishers, 1995.
- [3] Sasan Iman and Massoud Pedram, *Logic Synthesis for Low Power VLSI Designs*, Kluwer Academic Publishers, 1998.
- [4] T.Kim, W.Jao and S. Tjiang, “Arithmetic Optimization Using Carry Save Adders”, Proc. 35th Design Automation Conference, pp.433-438, 1998.
- [5] J. Um, T. Kim, c. L. Liu, “A Fine-Grained Arithmetic Optimization Technique for High-Performance/Low-Power Data Path Synthesis”, Proc. 38th Design Automation Conference, pp.98-103, 2001.
- [6] 室山真徳, 石原亨, 兵頭章彦, 安浦寛人, “入力信号パターンを考慮した低電力算術演算回路の設計手法”, 情報処理学会論文誌, Vol.42, No.4, pp.1007-1015, 2001.
- [7] T.Seko, A.Nakamura and T.Kikuno, “ Measurement of Glitches Based on Variable Gate Delay Model Using VHDL Simulator ”, Proc. IEEE Asia-Pacific Conference on Circuits and Systems, pp.767-770, 1998.
- [8] 石井健一, 本間啓道, 世古忠 “信号値遷移確率を用いた低電力Wallace Tree型乗算回路構成法の検討”, 平成13年電気関係学会関西支部連合大会講演論文集, G248, 2001.
- [9] K. Hwang, *Computer Arithmetic : Principles, architecture and design*, John Wiley & Sons, pp.97-103, 1979.